



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1001654620000 (44) Publication.Date. 19980916

(21) Application No.1019950037772 (22) Application Date. 19951028

(51) IPC Code:

H01L 21/76

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

CHOI, JI HYUN

GU, JU SEON

HWANG, BYUNG GEUN

(30) Priority:

(54) Title of Invention

METHOD FOR ISOLATING A TRENCH ELEMENT

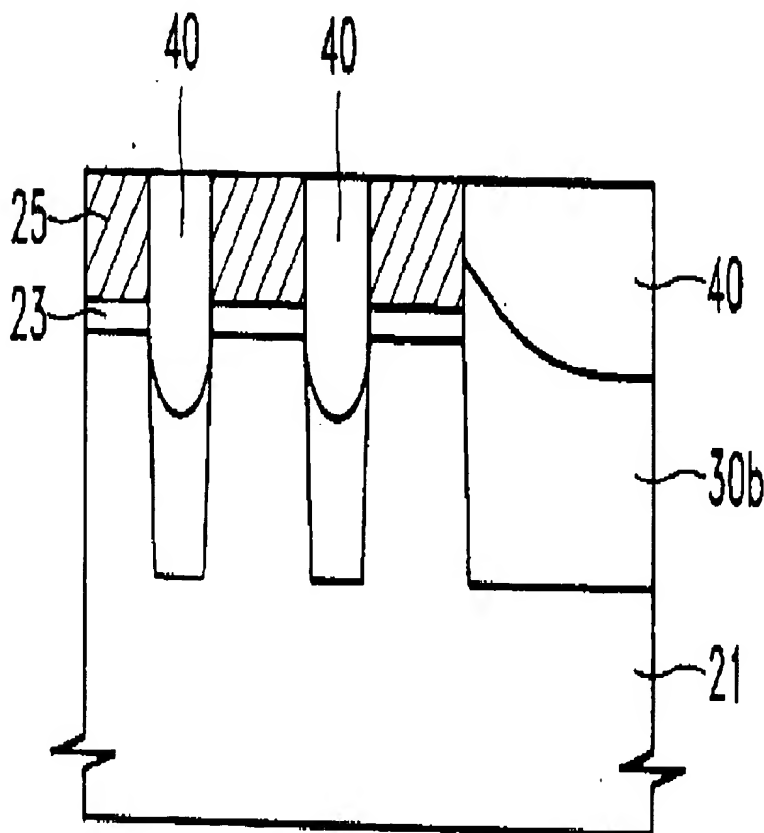
Representative drawing

(57) Abstract:

PURPOSE: A method for isolating a trench element is provided to filling a trench by using a dielectric film having a low dielectric constant.

CONSTITUTION: A semiconductor device has a refilled trench isolation structure. By etching the semiconductor substrate, trenches(27) having a various width are formed in a predetermined depth. Hydrogen silsesquioxane having a low dielectric rate is deposited on the structure as a first insulation layer(30). The first insulation layer(30) is heat treated in the high temperature. Then, the first insulation layer(30) is subjected to an etch back process. A second insulation layer(40) is deposited on the structure. Finally, the second insulation layer(40) is flattened by using a chemical and mechanical polishing process. The heat treatment process is carried out in the temperature above 500°C.

COPYRIGHT 2000 KIPO



(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특 1997-0023998
(43) 공개일자 1997년 05월 30일

(21) 출원번호 특 1995-0037772

(22) 출원일자 1995년 10월 28일

(71) 출원인 삼성전자 주식회사 김광호

경기도 수원시 팔달구 매탄동 416번지 (441-742)

(72) 발명자 최지현

서울특별시 영등포구 대림3동 우성아파트 5동 106호

황병근

경기도 안양시 동안구 호계2동 유환아파트 1동 102호

구주선

부산광역시 진구 연지동 10-12(36-3)

(74) 대리인 이영필, 권석흠, 노민식

심사청구 : 있음

(54) 트렌치 소자 분리 방법

요약

낮은 유전상수를 갖는 SOG(Spin on Glass) 계통의 유전막을 사용하여 트렌치를 필링(Filling)시키는 트렌치 소자분리 방법이 개시된다.

본 발명은 반도체기판을 소정깊이로 식각하여 다양한 폭을 갖는 트렌치들을 형성하는 단계와, 상기 결과물 상에 제1 절연막으로서 저유전율을 갖는 하이드로젠 실세스퀴옥산(Hydrogen Silsesquioxane)을 침적하는 단계와, 상기 제1 절연막을 고온에서 열처리하는 단계와, 상기 열처리된 제1 절연막을 에치-백하는 단계와, 상기 결과물 상에 제2 절연막을 침적하는 단계, 및 화학기계적 폴리싱(chemical mechanical polishing; CMP)방법으로 상기 제2 절연막을 평탄화시키는 단계를 포함하여 트렌치를 필링시키는 것을 특징으로 한다.

대표도

도4

명세서

[발명의 명칭]

트렌치 소자 분리 방법

[도면의 간단한 설명]

제1도 내지 제4도는 본 발명에 의한 트렌치 소자분리 방법을 각 단계별로 순차적으로 도시한 공정단면도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

리필드(refilled) 트렌치 분리구조를 갖는 반도체 장치의 제조방법에 있어서, 반도체기판을 소정깊이로 식각하여 다양한 폭을 갖는 트렌치들을 형성하는 단계; 상기 결과물 상에 제1 절연막으로서 저유전율을 갖는 하이드로젠 실세스퀴옥산(Hydrogen Silsesquioxane)을 침적하는 단계; 상기 제1 절연막을 고온에서 열처리하는 단계; 상기 열처리된 제1 절연막을 에치-백하는 단계; 상기 결과물 상에 제2 절연막을 침적하는 단계; 및 화학기계적 폴리싱(chemical mechanical polishing; CMP)방법으로 상기 제2 절연막을 평탄화시키는 단계를 구비하는 것을 특징으로 하는 트렌치 소자분리방법.

청구항 2

제1항에 있어서, 상기 제1 절연막의 열처리 공정은 500℃ 이상의 온도에서 수행하는 것을 특징으로 하는

트렌치 소자분리 방법.

청구항 3

제1항에 있어서, 상기 제1 절연막의 에치-백 공정은 트렌치의 폭에 따라 선택적으로 식각될 수 있도록 습식(Wet)식각을 사용하는 것을 특징으로 하는 트렌치 소자분리 방법.

청구항 4

제1항에 있어서, 상기 제1 절연막을 침적하는 단계 전에, 상기 트렌치 측벽의 손상을 보상(cure)하기 위하여, 열 산화공정을 부가하는 것을 특징으로 하는 트렌치 소자분리 방법.

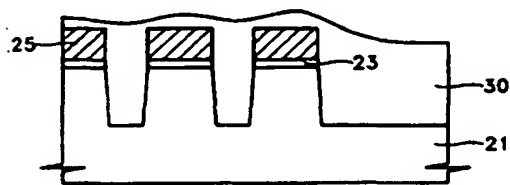
청구항 5

제1항에 있어서, 상기 제2 절연막은 단차 도포성이 우수한 O_3 -TEOS, PE-TEOS 및 고온산화막(HTO)중의 어느 하나로 이루어진 것을 특징으로 하는 트렌치 소자분리 방법.

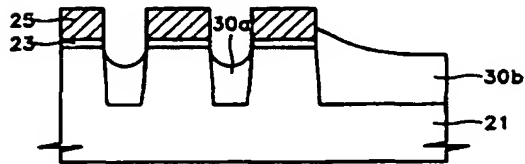
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3



도면4

